

一种基于 BCD 工艺的新型 5V 基准电路设计

盛健健, 张国俊

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 设计了一种结构简单的新型基准电路, 通过对带隙基准的倍乘, 无需电压转换电路, 输出 5V 基准电压可直接用于芯片次级电源。电路设计中, 运用驱动电路提高基准电压的驱动能力, 通过温度补偿、电路隔离技术和反馈环路, 提高基准电压的温度特性、电压抑制比和稳定性。全电路基于 0.35 μm BCD 工艺, 并通过 Hspice 仿真。结果表明, 基准电压输出为 5V, 驱动能力 20mA, 温度系数 5.1ppm/ $^{\circ}\text{C}$; 室温下, 电源抑制比 63dB@100kHz。

关键词: 带隙基准; 驱动能力; 温度特性; 电压抑制比

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2013)04-0094-04

Design of a Novel 5V Reference Circuit Based on BCD

SHENG Jian-jian, ZHANG Guo-jun

(State Key Laboratory of Electronic Thin Films and Integrated Device,
University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A novel reference circuit with simple structure is presented. In this circuit, the output 5V reference voltage by multiplying the band-gap voltage is used directly as the chip's secondary power supply without voltage conversion circuit. In the circuit design, drive circuit is utilized to enhance the drive capability and temperature characteristics, PSRR, loop stability is improved by temperature compensation, isolation technology and feedback. Results from simulation with Hspice based on 0.35 μm BCD process indicated that the circuit has a output voltage reference of 5V, a drive capability of 20mA, a temperature Coefficient of 5.1ppm/ $^{\circ}\text{C}$, a PSRR of 63dB@100kHz at room temperature.

Key words: bandgap reference; drive capability; temperature characteristics; PSRR

1 引言

在模拟集成电路、数模混合集成电路及片上系统中, 电压基准是集成电路中的重要单元模块。带隙基准通常经过转换后用来产生芯片的次级电源为其他数字或模拟模块提供电压基准, 运放常被用来产生高性能带隙基准及后级的电压转换电路。运放的失调电压影响电路的精度, 同时高性能的运放设计增加了芯片成本。

本文设计一种基于 BCD 工艺的新型 5V 无运放电压基准电路, 主要应用于开关电源芯片(如 DC-DC)中, 其结构简单, 通过温度补偿使温度稳定性提高, 具有很好的电流驱动能力, 无需经过转换可直

接用作芯片其他模块的电源电压基准。

2 传统带隙基准原理

如图 1 所示, 一个与温度、工艺和电源电压无关的带隙基准通过具有负温度系数的 BJT 发射极电压 V_{BE} 和具有正温系数的 $\Delta V_{BE}^{[1]}$ 进行组合而产生, 通过适当的调节两者的系数比, 得到零温度系数的输出电压。通常在某一特定温度时达到零温度系数, 在其附近基准电压随温度变化很小。产生的基准电

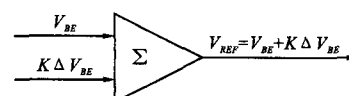


图 1 带隙基准原理图

压如下:

$$V_{REF} = V_{BE} + KV_T \quad (1)$$

选择合适的 K 值就可得到某一特定温度下具有零温度系数的 V_{REF} , K 值可通过将 V_{BE} 表达式代入上式,在参考温度 T_0 处令 $\frac{\partial V_{REF}}{\partial T} \big|_{T=T_0} = 0$ 求得^[2].

带隙基准只有 1.26V 左右,电流驱动能力通常只有几百微安,其电压大小和驱动能力作为开关电源芯片中的次级电源通常是不行的,需经过后级电压转换电路和电流驱动电路.

3 新型 5V 基准电路

对于模拟电路,芯片内部电源电压通常在 5V 左右.基于上述传统的带隙基准产生原理,本文设计的 5V 基准 V_{T1} 原理如下:

$$V_{T1} = M(V_{BE} + KV_T) \quad (2)$$

根据所需的基准电压大小经过适当的电路设计,得到合适的 M 值就可得到带隙电压 M 倍的一个参考电压,跟普通带隙基准一样,在参考温度 T_0 处令 $\frac{\partial V_{T1}}{\partial T} \big|_{T=T_0} = 0$ 求得 K 值,就可得到 T_0 温度时的零温度系数的基准电压 V_{T1} .

新型 5V 基准电路主要由基准核心电路、驱动级电路及反馈环路组成:核心电路通过低温补偿产生所需要的 5V 零温度系数的基准电压;由于本文的 5V 基准电压直接用于芯片其他模块的电源电压,故需驱动级电路为其提供较大的电流驱动能力,以驱动其他模块.反馈环路增加了基准电压的稳定性,使其在负载变化及出现干扰的情况下仍能稳定基准输出.

3.1 核心电路设计与温度特性分析

图 2 为本文设计的新型 5V 基准电路核心电路图,通过对低温阶段进行曲率补偿来提高基准电压温度稳定性,其中 V_{T1} 为 5V 基准电压输出.

图 2 中 Q2、Q3、Q5、Q6 的发射极面积相同, Q1 和 Q4 的发射极面积相同,是 Q2 的 N 倍.二极管连接的 MP1 使得 MN1 的源极电压较 V_{T1} 下降一个 $V_{GS,MP1}$, 保证在 V_{T1} 除去 R_5 上压降之后 MN1 的 $V_{GS,MN1}$ 足够大能正常开启并工作在饱和区. Q1 ~ Q4 和 R1 组成 PTAT 电流产生电路.

在忽略基极电流情况下,由于 Q3 和 Q4 的基极电压相等, Q3 和 Q1、Q2 和 Q4 的集电极电流相等,因为 Q1、Q4 的发射极面积是 Q2、Q3 的 N 倍,则 $\Delta V_{BE} = V_{BE3} - V_{BE1} = V_{BE2} - V_{BE4} = V_T \ln N$, 可知 PTAT

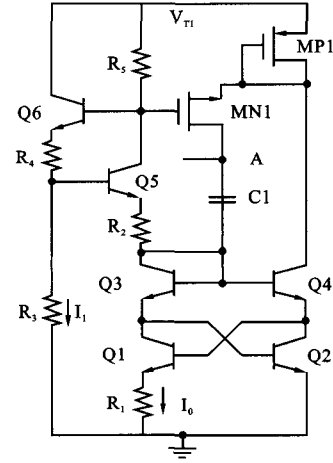


图2 基准核心电路示意图

电流 I_0 为:

$$I_0 = 2V_T \ln N / R_1 \quad (3)$$

可得 Q5 基极电压为:

$$V_{B5} = 3V_{BE} + \frac{R_2}{R_1} 2V_T \ln N \quad (4)$$

通过选择 R_2 与 R_1 比值和 N 的大小调节 V_{B5} 的温度系数,得到近似为零温度系数的电压 V_{B5} .

$$I_1 = \frac{V_{B5}}{R_3} \quad (5)$$

$$V_{B6} = (1 + \frac{R_4}{R_3}) V_{B5} + V_{BE} \quad (6)$$

$$V_{T1} = V_{B6} + (I_1 / \beta + I_0) R_5 \quad (7)$$

在考虑 Q6 基极电流 $I_{B6} = I_1 / \beta$ 情况下,由式 (3) ~ (7) 得到输出的基准电压的表达式完整形式如下:

$$V_{T1} = (4 + \frac{3R_4}{R_3}) [V_{BE} + \frac{R_3}{4R_3 + 3R_4} (\frac{R_4 + R_3}{R_3} \frac{R_2}{R_1} + \frac{R_5}{R_1}) 2V_T \ln N] + \frac{R_5}{R_3} \frac{1}{\beta} (3V_{BE} + \frac{R_2}{R_1} 2V_T \ln N) \quad (8)$$

β 是晶体管的电流增益,与温度呈指数^[3] 关系:

$$\beta = \beta_\infty \exp(-\frac{\Delta E_G}{kT}) \quad (9)$$

上式中 β_∞ 和 ΔE_G 都是与温度无关的量, ΔE_G 是晶体管发射区带隙能量衰减因子,正比于发射区掺杂浓度.由 (8) 式得:

$$V_{T1} = M [V_{BE} + KV_T + K_1 \exp(\frac{\Delta E_G}{kT})] \quad (10)$$

其中:

$$M = (4 + \frac{3R_4}{R_3}) \quad (11)$$

$$K = \frac{2R_3}{4R_3 + 3R_4} (\frac{R_4 + R_3}{R_3} \times \frac{R_2}{R_1} + \frac{R_5}{R_1}) \ln N \quad (12)$$

$$R_D = R_8 \parallel r_{\pi 9} + R_9 + R_{10} \parallel [r_{o11} + (1 + g_{m11}r_{o11})R_{12}] \tag{19}$$

$$R_S = r_{o4} + (1 + g_{m4}r_{o4})r_{o2} \tag{20}$$

$$R_{C8} = \frac{r_{o,LD1} + (R_{11} + g_{m11}^{-1})}{1 + g_{m,LD1}r_{o,LD1}} \tag{21}$$

$$R_{S1} = R_6 + R_5 + R_G \tag{22}$$

其中, R_G 为 Q_5, R_2, Q_3, Q_1, R_1 的等效阻抗, $r_{o,LD1}$ 是 $LDMOS1$ 的输出电阻。

图 3 中 Q_9 的发射结电压在 R_8 上产生一个合适大小的电流,使得在反馈时能够快速的对电容 $C1$ 充电,加快环路的稳定速度,避免因 Q_8, Q_9 基极电流太小而导致 $C1$ 上极板电压变化太慢,响应速度很慢的情况。

4 仿真结果与分析

通过以上的分析,确定该电路各个器件的尺寸,采用 $0.35\mu\text{m}$ BCD 工艺仿真器件模型,典型电源电压为 18V ,采用 Hspice 软件进行仿真,仿真条件如下:温度范围: $-50^\circ\text{C} \sim 140^\circ\text{C}$ 。

在 25°C ,典型电源电压 18V 下,对基准电压对接负载在 $0 \sim 2\text{k}\Omega$ 范围进行直流扫描,得到的 V_{T1} 电流驱动能力曲线如图 4 所示。 V_{T1} 在 $-50^\circ\text{C} \sim 140^\circ\text{C}$ 范围内的温度特性曲线如图 5 所示。图 6 示出了 PSRR 随频率的仿真结果。根据仿真计算得到的电压基准变化量、电源抑制比、驱动电流能力和温度系数由表 1 所示。

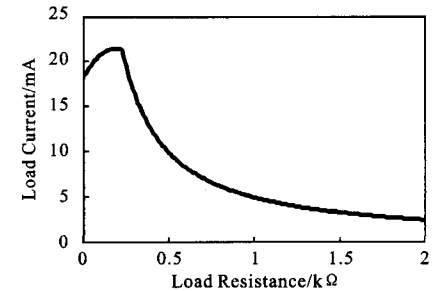


图 4 基准电压 V_{T1} 的驱动能力仿真结果

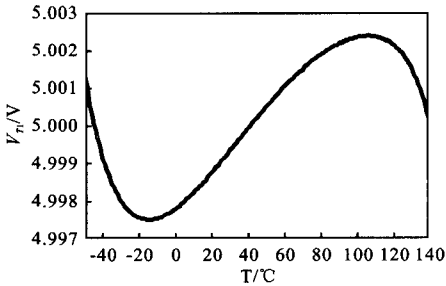


图 5 V_{T1} 的温度特性仿真结果

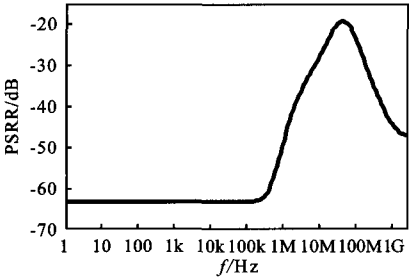


图 6 PSRR 随频率变化的仿真结果

表 1 本文设计的基准电路的主要性能参数

Drive capability	T Coefficient	PM	Loop Gain	PSRR
20mA	5.1ppm/°C	80°	69dB	63dB

本文设计的基准电路最大有 20mA 的驱动能力,完全达到芯片内部电源电压带负载能力的要求。传统的带隙基准在使用改进的结构后,温度系数在 $10\text{ppm}/^\circ\text{C}$ 左右^[6],本文设计的 5V 基准电路经过优化后, V_{BS} 的温度系数只有 $4.2\text{ppm}/^\circ\text{C}$, 5V 基准输出的温度系数只有 $5.1\text{ppm}/^\circ\text{C}$,完全可满足开关电源芯片的要求。由于驱动级电路在电气上对 V_{CC} 和 V_{T1} 的天然隔离作用,使得基准电路有 63dB 的 PSRR。负反馈的引入,使得环路增益 69dB ,相位裕度 80° 。显然,本文的基准电路结构简单,各项性能参数均满足要求。

5 结束语

本文基于 $0.35\mu\text{m}$ BCD 工艺设计了一种新型基准电路,其结构简单,具有大的电流驱动能力,基准输出为 5V ,无需电压转换电路,即可用于开关电源芯片中的次级电源。应用简单的共集—共集组态使输出基准有 20mA 的电流驱动能力。经过参数优化的 V_{T1} 温度系数为 $5.1\text{ppm}/^\circ\text{C}$,具有较好的温度特性。采用隔离技术及反馈电路,降低电源变化和噪声对基准的影响,得到 63dB 的电源抑制比。基于以上性能优点,该 5V 基准电路可作为次级电源广泛运用于开关电源(如 DC-DC 等)集成电路设计之中。

参考文献:

[1] Banba H, Shiga H, Umezawa A, et al. A CMOS bandgap reference circuit with sub-1-V operation [J]. IEEE J Sol Sta Circ, 1999, 34(5): 670-674.
[2] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 西安:西安交通大学出版社, 2003.

6 结束语

本文提出的算法是应用在有向图上的,因为不管是对网络图进行聚类还是对现实中的公路运输图进行聚类,它们都是有方向的,这更符合实际,而且该算法采用 DNA 计算与电子计算想结合的算法,用 DNA 计算机完成算法中大量并行计算,然后将算法中操作步骤过于复杂的计算交给电子计算来完成. 计算速度更快,计算结果更精确. 可见, DNA 计算对于图聚类具有较大的应用以及理论价值. 文中提出的算法试验证明是可行的.

参考文献:

- [1] L R Ford Jr, D R Fulkerson. Maximal flow through a network[J]. Canadian J Math, 1956(8):399 - 404.
- [2] T H Cormen, C E Leiserson, R L Rivest. Introduc-

tion to algorithms[M]. 6th edition, MIT Press and McGraw-Hill Book Company, 1992.

- [3] G Gallo, M D Grigoriadis, R E Tarjan. A fast parametric maximum flow algorithm and applications[J]. SIAM Journal of Computing, 1989, 18(1):30-55.
- [4] G W Flake, R E Tarjan, K Tsioutsoulis, Graph clustering and minimum cut trees[J]. Internet Mathematics 2004, 1(1):385 - 408.
- [5] 周 康, 王子成, 许 进. 最大流的 DNA 两阶段算法[J]. 华中科技大学学报: 自然科学版, 2005, 33(8): 104-107.

作者简介:

张怀远 男, (1987—), 硕士. 研究方向为图聚类.

向来生 男, (1957—), 研究员, 博士. 研究方向为区域可持续发展.

(上接第 97 页)

- [3] Inyeol Lee, Gyudong Kim, Wonchan Kim. Exponential curvature-compensated BiCMOS bandgap references [J]. IEEE J Sol Sta Circ, 1994, 29(11):1396-1403.
- [4] TSIVIDIS Y P. Accurate analyses of temperature effects in I_C - V_{BE} characteristics with application to bandgap reference sources[J]. IEEE J Sol Sta Circ, 1980(15):1076-1084.
- [5] 宋晶, 刘诗斌, 张勇, 等. 一种具有高稳定性的带隙基准电路[J]. 微电子学, 2007, 37(3):444-447.

- [6] Allen P E, Holberg D R. CMOS analog circuit design [M]. (中文版). 北京: 电子工业出版社, 2011.

作者简介:

盛健健 男, (1986—), 硕士. 研究方向为数模混合集成电路设计.

张国俊 男, (1960—), 教授. 研究方向为半导体功率器件、模拟集成电路、微细加工技术.